

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 7月16日

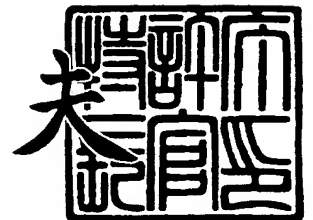
出願番号
Application Number: 特願2003-197644
[ST. 10/C]: [JP2003-197644]

出願人
Applicant(s): 富士電機デバイステクノロジー株式会社

2004年 2月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3104462

【書類名】 特許願

【整理番号】 03P00516

【提出日】 平成15年 7月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社
会社内

【氏名】 永岡 達司

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【弁理士】

【氏名又は名称】 篠部 正治

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 63161

【出願日】 平成15年 3月10日

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 M I S 型半導体装置

【特許請求の範囲】

【請求項 1】 第 1 導電型のソース領域、第 2 導電型のベース領域、第 1 導電型のドリフト領域を有する M I S 型半導体装置において、該ドリフト領域のゲート電極に近い側に層間絶縁膜より薄い絶縁膜が設けられ、該薄い絶縁膜上にソース電極と接続されたフィールドプレートを形成することを特徴とする M I S 型半導体装置。

【請求項 2】 前記フィールドプレート下の絶縁膜で最も薄い箇所の膜厚がゲート絶縁膜の膜厚以上で、 V_b/E_c (V_b : 素子耐圧 (V)、 E_c : 5×10^5 (V/cm)) 以下とすることを特徴とする請求項 1 に記載の M I S 型半導体装置。

【請求項 3】 第 1 導電型のソース領域、第 2 導電型のベース領域、第 1 導電型のドリフト領域を有する M I S 型半導体装置において、ゲート絶縁膜と接するベース領域の不純物濃度のピークがソース領域よりドリフト領域に近い側にあることを特徴とする M I S 型半導体装置。

【請求項 4】 第 1 導電型のソース領域、第 2 導電型のベース領域、第 1 導電型のドリフト領域を有する M I S 型半導体装置において、ゲート電極下のベース領域で、ソース領域とドリフト領域の中間位置に第 2 導電型の高濃度領域を設け、ドリフト領域からベース領域に伸びる空乏層が前記高濃度領域に到達するように該高濃度領域を配置することを特徴とする M I S 型半導体装置。

【請求項 5】 第 1 導電型のソース領域、第 2 導電型のベース領域、第 1 導電型のドリフト領域を有する M I S 型半導体装置において、ゲート電極下のベース領域に第 2 導電型の高濃度領域を設け、該高濃度領域の端部をゲート絶縁膜と基板との界面から $2.5 \mu\text{m}$ 以内、ドリフト領域から $5.6 \mu\text{m}$ 以内とすることを特徴とする M I S 型半導体装置。

【請求項 6】 前記高濃度領域の端部をゲート絶縁膜と基板との界面から $1 \mu\text{m}$ 以内とすることを特徴とする請求項 4 または 5 に記載の M I S 型半導体装置。

【請求項 7】 前記ドリフト領域が、高濃度の第 1 ドリフト領域と低濃度の第

2 ドリフト領域とから成り、前記第 1 ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第 2 ドリフト領域の先端が前記第 1 ドリフト領域の先端を越えてゲート電極直下のベース領域の表面に露出しないことを特徴とする請求項 1 ～ 6 のいずれか一項に記載の M I S 型半導体装置。

【請求項 8】第 1 導電型のソース領域、第 2 導電型のベース領域、第 1 導電型のドリフト領域を有する M I S 型半導体装置において、該ドリフト領域が高濃度の第 1 ドリフト領域と低濃度の第 2 ドリフト領域とから成り、前記第 1 ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第 2 ドリフト領域の先端が前記第 1 ドリフト領域の先端を越えてゲート電極直下のベース領域の表面に露出しないことを特徴とする M I S 型半導体装置。

【請求項 9】半導体基板の一方の主面に、第 1 導電型のソース領域と、第 2 導電型のベース領域と、前記ソース領域と離れて形成された第 1 導電型のドリフト領域と、該ドリフト領域と接続する第 1 導電型のドレイン領域と、前記ドリフト領域と前記ソース領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されたゲート電極とを備えた M I S 型半導体装置において、

前記ドリフト領域が、高濃度の第 1 ドリフト領域と低濃度の第 2 ドリフト領域とから成り、前記第 1 ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第 2 ドリフト領域の先端が前記第 1 ドリフト領域の先端を越えてゲート電極直下のベース領域の表面に露出しないことを特徴とする M I S 型半導体装置。

【請求項 1 0】半導体基板の第 1 主面に、第 1 導電型のソース領域と、第 2 導電型のベース領域と、前記ソース領域と離れて形成された第 1 導電型のドリフト領域と、該ドリフト領域と前記ソース領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板の第 2 主面に、前記ドリフト領域と接続する第 1 導電型のドレイン領域とを備えた M I S 型半導体装置において、

前記ドリフト領域が、高濃度の第 1 ドリフト領域と低濃度の第 2 ドリフト領域とから成り、前記第 1 ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第 2 ドリフト領域の先端が前記第 1 ドリフト領域の先端を越えてゲ

ート電極直下のベース領域の表面に露出しないことを特徴とするMIS型半導体装置。

【請求項11】半導体基板の第1主面に、第2導電型のベース領域と、該第2ベース領域の表面層に形成された第1導電型のソース領域と、該ソース領域を貫き前記ベース領域に達する深さのトレンチと、該トレンチ内もしくは側壁にゲート絶縁膜を介して形成されたゲート電極と、前記トレンチの底部と接し、前記ゲート電極の下方側で重なる第1導電型のドリフト領域と、前記半導体基板の第2主面に前記ドリフト領域と接続する第1導電型のドレイン領域とを備えたMIS型半導体装置において、

前記ドリフト領域が、高濃度の第1ドリフト領域と低濃度の第2ドリフト領域とから成り、前記第1ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第2ドリフト領域の先端が前記第1ドリフト領域の先端を越えてゲート電極横のベース領域の表面に露出しないことを特徴とするMIS型半導体装置。

【請求項12】前記第2ドリフト領域の体積が、前記第1ドリフト領域の体積より大きいことを特徴とする請求項7～11のいずれか一項に記載のMIS型半導体装置。

【請求項13】前記第2ドリフト領域の拡散深さが、前記第1ドリフト領域の拡散深さより深いことを特徴とする請求項7～12のいずれか一項に記載のMIS型半導体装置。

【請求項14】前記第2ドリフト領域の単位長さ当たりの正味の不純物量が、前記第1ドリフト領域の単位長さ当たりの正味の不純物量以上であることを特徴とする請求項7～13のいずれか一項に記載のMIS型半導体装置。

【請求項15】前記ソース領域と対向して形成された第1導電型のドレイン領域と、前記第1ドリフト領域が離して形成されることを特徴とする請求項7～14に記載のMIS型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、金属 (M) - 絶縁膜 (I) - 半導体 (S) のゲート構造をもつ M I S 型半導体装置、特に低オン抵抗と高速スイッチングが要求されるパワー M O S F E T に代表される M I S 型半導体装置に関する。

【0002】

【従来の技術】

M I S 型半導体装置の特性改善のポイントとしては、ゲートしきい値電圧の適正化、チャネル抵抗の低減化、遮断電流の増大化、もれ電流の低減化、アバランシェ耐量の増大化、スイッチング損失の低減化などが挙げられ、これらの特性の改善は鋭意行われている。つぎに、これらの特性改善を図った例について説明する。

【0003】

M I S 型半導体装置において、短チャネル時のしきい値の低下を抑え、ゲート加工のばらつきによるしきい値のばらつきを低減し、高い移動度を持つ M I S 型半導体装置として、図 27 の構造が知られている (例えば、特許文献 1)。

【0004】

この構造では、チャネル領域の表面層を表面低濃度層 105 とする。そして表面低濃度層 105 よりも高濃度な埋込領域 106、107 を内部に設ける。この埋め込み領域 106、107 は、表面低濃度層 105 が反転層形成時に基板表面から広がる空乏層の深さよりも浅く設ける。高濃度埋込領域のうちチャネルの端からチャネル領域へ一定距離 L_p だけ突出した高濃度埋込領域 107 の濃度をチャネル中央部の高濃度埋込領域 106 よりも高濃度とする。この構造では、チャネル長が短くなることによるしきい値の低下は、一定距離 L_p の高濃度埋込領域 107 の割合が大きくなることによるしきい値の上昇によりほぼ相殺される。チャネルが形成される表面低濃度層 105 は低濃度であるので、高移動度を達成することができる。尚、図中の 101 はシリコン基板、102 は素子分離絶縁膜、103 はゲート電極、104 はソース、ドレイン、108 は層間絶縁膜、110 はアルミ配線層、111 はゲート絶縁膜である。

【0005】

また、図 28 に示すように、トレンチにゲート電極が埋め込まれた形の S i C

(炭化けい素) トレンチMOSFETにおいて、可制御電流の増大、アバランシェ耐量の増大と、オン抵抗の低減を図ることができるMOSFETについて知られている(例えば、特許文献2)。

【0006】

この構造では、MOSFETのトレンチ215近傍を除くpベース層213内に、pベース層213より不純物濃度の高いp⁺埋め込み領域220を形成することによって、pベース層213の実質的な抵抗を下げ、可制御電流を増大させる。また、トレンチ215の底部より下方にp⁺埋め込み層(図示せず)を形成することによって、電圧印加時の空乏層の広がりを促し、ゲート絶縁膜の絶縁破壊を防止し、アバランシェ耐量を向上させる。尚、図中の211はn⁺サブストレート、212はnドリフト層、214はnソース層、216はゲート酸化膜、217はゲート電極、218はソース電極、219はドレイン電極、220はp⁺埋め込み領域である。

【0007】

また、図29に示すように、リーク電流を抑制したMOSFETの構造も知られている(例えば、特許文献3)。

【0008】

この構造では、MOSFETの濃い(不純物濃度)ドレイン領域302、薄い(不純物濃度)ドレイン領域303の下部にドレイン領域と異なる極性で且つMOSFETのウェル領域よりも不純物濃度が高い不純物領域315を形成し、ドレイン領域302、303とウェル領域301間の空乏層のウェル領域301側への広がりを抑制することができる。特に、薄いドレイン領域303下部における空乏層のウェル領域301側への広がりを抑制できるため、チャネルよりも深い領域を通して流れる電流を抑制することに対する効果が大きい。尚、図中の304は濃い(不純物濃度)ソース領域、305は薄いソース(不純物濃度)領域、306はゲート電極、307はゲート酸化膜、308はフィールド酸化膜、309はフィールドドープド領域、310は層間絶縁膜、311は保護膜、312はドレイン配線、313はソース配線である。

【0009】

つぎに、MIS型半導体装置のスイッチング損失の低減化について説明する。MIS型半導体装置のスイッチング特性には帰還容量が強く影響し、特にスイッチング時のエネルギー損失を小さくするためには、帰還容量を低減すると良いことが知られている。そのため、従来のMIS型半導体装置ではゲート電極とドリフト領域の重なり面積を極力小さくするようにして、ゲートドレイン間の容量つまりは帰還容量を低減する工夫が必要となる。尚、帰還容量はゲート電極下のゲート絶縁膜と半導体基板との界面に広がった空乏層領域（断面図では距離）が大きくなると大きくなる。

【0010】

また、半導体基板にトレンチを形成し、トレンチの底部にドレイン領域を形成し、トレンチ側壁に酸化膜を介してドリフト領域を形成し、半導体基板の表面層にトレンチと離してベース領域を形成し、このベース領域の表面層にエミッタ領域を形成し、エミッタ領域とドリフト領域に挟まれたベース領域上にゲート酸化膜を介してゲート電極を形成して横型トレンチMISFETを製作する。半導体基板表面にゲート酸化膜を形成することで、ゲート酸化膜の均一性がよく信頼性が高く、トレンチの底部にドレイン領域を形成することで、単位セル寸法が大幅に縮小でき、オン抵抗を低減でき、耐圧－オン抵抗のトレードオフ特性が改善できることが報告されている（例えば、特許文献4）。

【0011】

また、横型MISFETにおいて、ドレイン領域と接する低濃度のオフセットゲート領域を備え、ソース領域とオフセットゲート領域に挟まれたベース領域上にゲート絶縁膜を介してゲート電極を形成し、一端がソース電極と電氣的に接続し、ソース電極下のソース領域を囲むようにドレイン領域と異なる導電型の高濃度の埋め込み層を形成し、この埋め込み層の他端がオフセットゲート領域端直下近傍まで延びた構成とすることで、耐圧特性の急激に電流が立ち上がる領域で負性抵抗を示し、耐圧が急激に低下し、ドレイン電流が急激に増大するスイッチバック現象を防止できることが報告されている（例えば、特許文献5）。

【0012】

また、横型MISFETにおいて、ゲート電極両端とそれぞれ端部が重なるオ

フセットゲート領域を形成し、これらのオフセットゲート領域がソース領域とドレイン領域に電氣的に接続し、これらのオフセットゲート領域をゲート電極に対して自己整合で形成することで、高耐圧化および高集積化を実現した例が報告されている（例えば、特許文献 6）。

【 0 0 1 3 】

【特許文献 1】

特開平 6 - 2 9 5 2 2 号公報 図 1

【特許文献 2】

特開平 9 - 3 6 3 5 9 号公報 図 1

【特許文献 3】

特開 2 0 0 2 - 9 2 8 3 号公報 図 1

【特許文献 4】

特開平 8 - 1 8 1 3 1 3 号公報 図 1

【特許文献 5】

特公昭 6 2 - 4 1 4 2 8 号公報 図 4

【特許文献 6】

特公昭 6 3 - 4 6 9 9 2 号公報 図 5

【 0 0 1 4 】

【発明が解決しようとする課題】

通常、前記のドリフト領域は拡散によって形成されるので、ベース領域とドリフト領域の境界付近ではドナーとアクセプターが相互に補償し合い、実効的な不純物濃度（正味の不純物濃度）が低下している。したがって、ゲート電極とドリフト領域との重なり面積を小さくして行くと、最終的にはドリフト領域の低濃度部分のみがゲート電極と重なるようになり、この低濃度部分のドリフト抵抗が増大してオン抵抗の増大を招く。さらにパターンの合わせ精度が悪いと、ドリフト領域とゲート電極が重ならなくなり、チャネルとドリフト領域の接続が途切れてしまい、導通しなくなる場合もある。

【 0 0 1 5 】

この発明の目的は、前記の課題を解決して、ゲート電極とドリフト領域の重な

り面積を確実に確保して低オン抵抗化を図り、且つ、低帰還容量化して低スイッチング損失化を図ることができるMIS型半導体装置を提供することにある。

【0016】

【課題を解決するための手段】

前記の目的を達成するために、第1導電型のソース領域、第2導電型のベース領域、第1導電型のドリフト領域を有するMIS型半導体装置において、該ドリフト領域のゲート電極に近い側に層間絶縁膜より薄い絶縁膜が設けられ、該薄い絶縁膜上にソース電極と接続されたフィールドプレートを備える構成とする。

また、前記フィールドプレート下の絶縁膜で最も薄い箇所の膜厚がゲート絶縁膜の膜厚以上で、 V_b/E_c (V_b :素子耐圧(V)、 $E_c:5 \times 10^5$ (V/cm)) 以下とするとよい。

【0017】

また、第1導電型のソース領域、第2導電型のベース領域、第1導電型のドリフト領域を有するMIS型半導体装置において、ゲート絶縁膜と接するベース領域の不純物濃度のピークがソース領域よりドリフト領域に近い側にある構成とする。

【0018】

また、第1導電型のソース領域、第2導電型のベース領域、第1導電型のドリフト領域を有するMIS型半導体装置において、ゲート電極下のベース領域で、ソース領域とドリフト領域の中間位置に第2導電型の高濃度領域を設け、ドリフト領域からベース領域に伸びる空乏層が前記高濃度領域に到達するように該高濃度領域を配置する構成とする。

【0019】

また、第1導電型のソース領域、第2導電型のベース領域、第1導電型のドリフト領域を有するMIS型半導体装置において、ゲート電極下のベース領域に第2導電型の高濃度領域を設け、該高濃度領域の端部をゲート絶縁膜と基板との界面から $2.5 \mu\text{m}$ 以内、ドリフト領域から $5.6 \mu\text{m}$ 以内とする。

【0020】

また、前記高濃度領域の端部をゲート絶縁膜と基板との界面から $1 \mu\text{m}$ 以内と

するとよい。

【0021】

また、前記ドリフト領域が、高濃度の第1ドリフト領域と低濃度の第2ドリフト領域とから成り、前記第1ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第2ドリフト領域の先端が前記第1ドリフト領域の先端を越えてゲート電極直下のベース領域の表面に露出しないようにする。

【0022】

また、第1導電型のソース領域、第2導電型のベース領域、第1導電型のドリフト領域を有するMIS型半導体装置において、該ドリフト領域が高濃度の第1ドリフト領域と低濃度の第2ドリフト領域とから成り、前記第1ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第2ドリフト領域の先端が前記第1ドリフト領域の先端を越えてゲート電極直下のベース領域の表面に露出しないようにする。

【0023】

また、半導体基板の一方の主面に、第1導電型のソース領域と、第2導電型のベース領域と、前記ソース領域と離れて形成された第1導電型のドリフト領域と、該ドリフト領域と接続する第1導電型のドレイン領域と、前記ドリフト領域と前記ソース領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されたゲート電極とを備えたMIS型半導体装置において、前記ドリフト領域が、高濃度の第1ドリフト領域と低濃度の第2ドリフト領域とから成り、前記第1ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第2ドリフト領域の先端が前記第1ドリフト領域の先端を越えてゲート電極直下のベース領域の表面に露出しない構成とする。

【0024】

また、半導体基板の第1主面に、第1導電型のソース領域と、第2導電型のベース領域と、前記ソース領域と離れて形成された第1導電型のドリフト領域と、該ドリフト領域と前記ソース領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体基板の第2主面に、前記ドリフト領域と接続する第1導電型のドレイン領域とを備えたMIS型半導体装置におい

て、前記ドリフト領域が、高濃度の第 1 ドリフト領域と低濃度の第 2 ドリフト領域とから成り、前記第 1 ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第 2 ドリフト領域の先端が前記第 1 ドリフト領域の先端を越えてゲート電極直下のベース領域の表面に露出しない構成とする。

【0 0 2 5】

また、半導体基板の第 1 主面に、第 2 導電型のベース領域と、該第 2 ベース領域の表面層に形成された第 1 導電型のソース領域と、該ソース領域を貫き前記ベース領域に達する深さのトレンチと、該トレンチ内もしくは側壁にゲート絶縁膜を介して形成されたゲート電極と、前記トレンチの底部と接し、前記ゲート電極の下方側で重なる第 1 導電型のドリフト領域と、前記半導体基板の第 2 主面に前記ドリフト領域と接続する第 1 導電型のドレイン領域とを備えた M I S 型半導体装置において、前記ドリフト領域が、高濃度の第 1 ドリフト領域と低濃度の第 2 ドリフト領域とから成り、前記第 1 ドリフト領域の表面の少なくとも一部が前記ゲート電極と重なり、前記第 2 ドリフト領域の先端が前記第 1 ドリフト領域の先端を越えてゲート電極横のベース領域の表面に露出しない構成とする。

【0 0 2 6】

また、前記第 2 ドリフト領域の体積が、前記第 1 ドリフト領域の体積より大きいとよい。

【0 0 2 7】

また、前記第 2 ドリフト領域の拡散深さが、前記第 1 ドリフト領域の拡散深さより深いとよい。

【0 0 2 8】

また、前記第 2 ドリフト領域の単位長さ当たりの実効的な不純物量が、前記第 1 ドリフト領域の単位長さ当たりの実効的な不純物量以上であるとよい。

【0 0 2 9】

また、前記ソース領域と対向して形成された第 1 導電型のドレイン領域と、前記第 1 ドリフト領域を離して形成しても構わない。

〔作用〕

従来の技術は、単純にゲート電極とドリフト領域の重なり面積を小さくして、

それらの間の容量を省いているのに過ぎない。しかしながら、帰還容量に寄与するのは物理的にゲート電極とドリフト領域が重なっている部分の容量だけでない。即ち、オフ状態でベース領域に広がる空乏層がゲート電極にかかる部分の容量も一緒に含まれるのである。よって、帰還容量を低減するためには、ゲート電極とドリフト領域の重なり面積を小さくすると同時に、オフ時に空乏層がゲート電極下に広がらないようにする必要がある。実際に、発明者はゲート電極下への空乏層の張り出しを抑えることで、スイッチング時にゲートドレイン間に蓄積される電荷量が減少することをシミュレーションにより確認している。

【0030】

オフ時に空乏層がゲート電極下に広がらないようにするためには、ドリフト領域とベース領域の境界近くに非空乏化領域として残るような高濃度領域（空乏層ストッパ）を設け、空乏層のストッパとして働かせることが効果的である。

【0031】

この高濃度領域からゲート酸化膜までの距離 d_g が長すぎるとゲート電極下のベース領域にも空乏層が広がり、帰還容量を大きくするため、この距離 d_g を所定の大きさ以下（ $2.5 \mu\text{m}$ 以下、好ましくは $1 \mu\text{m}$ 以下）とする必要がある。

【0032】

また高濃度領域からドリフト領域までの最小距離 x が大きすぎると空乏層が高濃度領域に達せずストッパの働きをしなくなり、ゲート電極下のベース領域に広く空乏層が入り込み帰還容量を増大させる。そのため、この距離 x を空乏層の伸びを抑える範囲にする必要がある。この距離 x は $5.6 \mu\text{m}$ 以下とするとよい。

【0033】

また、ベース領域のゲート絶縁膜との界面近傍の不純物濃度分布でドリフト領域に近い側にピーク濃度を位置させることで、ドリフト領域側からソース側に伸びる空乏層の伸びを抑制できる。空乏層の伸びを抑制することで、帰還容量を低減できる。このピーク濃度は適正なゲートしきい値電圧になるように決めるとよい。

【0034】

また、フィールドプレート下の絶縁膜の最小膜厚をゲート絶縁膜以上で、 V_b

／ E_c 以下とすることで、素子耐圧をゲート耐圧以上で、また、素子耐圧でフィールドプレート下のドリフト領域とベース領域に伸びる空乏層を効果的に広げることができて、耐圧を確実に確保できる。

【0035】

このようにドリフト領域に隣接して、絶縁膜を介したフィールドプレートを設けた場合についてさらに説明する。絶縁膜が厚すぎるとフィールドプレートにより空乏層の広がりを制御する効果が薄れるので、適切な厚さを選ぶ必要がある。例えば、オフ状態でドレインソース間に逆方向電圧を徐々に印加したときに、フィールドプレートの効果で電位分布に変化が生じているとすれば、大抵の場合、その影響を最も強く受けている半導体基板表面付近のどこかで最初に臨界電界強度 E_c に達する。したがって、このときの絶縁膜中での電界もおおよそ E_c 程度ぐらいに見積もられ、且つ、絶縁膜で耐圧 V_b 程度を維持することを考えれば、大雑把には絶縁膜の厚さを V_b/E_c と同程度かそれよりも薄くすることで、フィールドプレートによる空乏層の広がり制御効果が期待できる。絶縁膜の厚さは必ずしも均一にする必要はなく、特にドリフト領域に隣接する広い範囲にわたって薄い絶縁膜を介してフィールドプレートを設けると、半導体基板表面での電位変化が急になりすぎて、耐圧を落とすことも考えられる。ドリフト領域に隣接して薄い絶縁膜上にフィールドプレートを設ける主な目的は、ゲート絶縁膜近傍での電界緩和であり、フィールドプレート下の絶縁膜がゲート電極の近傍のみで薄くなるような構造にすると効果がある。さらにフィールドプレートをソース電極と電氣的に接続すれば、フィールドプレートの電位がソース電位に固定され、安定してその役割を発揮する。

【0036】

フィールドプレートを備えていると、ドリフト領域側で空乏層が広がりやすくなるので、その分、ドリフト領域の不純物濃度を高めて、容易に耐圧を維持しながらオン抵抗を低減することができる。

【0037】

フィールドプレート下の絶縁膜は、どのような物質であってもよいが、酸化膜を用いると例えば熱酸化のような比較的簡単な工程で安定した絶縁膜を形成する

ことが可能である。

【0038】

また、ドリフト領域を実効的な不純物濃度の高い領域（第1ドリフト領域）と低い領域（第2ドリフト領域）とから形成し、その高濃度ドリフト領域（第1ドリフト領域）はゲート電極に重ならせると共に、低濃度ドリフト領域（第2ドリフト領域）の先端が高濃度ドリフト領域（第1ドリフト領域）の先端を越えてゲート電極直下のベース領域の表面に露出しないようにする。つまり、ゲート電極直下のベース領域の表面に達しないようにする。トレンチゲート構造の場合にはゲート電極横のベース領域の表面に達しないような構成とする。これにより、ゲート電極と重なる部分のドリフト領域は、高濃度ドリフト領域であるため、充分に高い濃度のままその重なり面積を小さくすることができ、またオン電流を低濃度ドリフト領域に流すことで、ドリフト領域中の移動度低下を抑えることが可能となる。このとき、耐圧が確保できる範囲内で低濃度ドリフト領域を高濃度ドリフト領域より広く配置すれば、高いキャリア移動度で流れるオン電流が増えるので、効率的にオン抵抗を低減する。

【0039】

特に、高い濃度が必要となる部分は、チャネルからオン電流が注ぎ込まれるゲート電極近傍だけであるから、より望ましい構成としてはゲート電極に隣接するごく微小な部分のみに高濃度ドリフト領域を設け、残りの大部分を低濃度ドリフト領域とすることである。

【0040】

具体的には、低濃度ドリフト領域をオン電流が流れる方向の単位長さで輪切り状に取り出したとき、その断面積（この断面積はドリフト領域の体積に対応する）を S とし、そこに含まれる実効的な不純物の濃度を n_{drift} とすると、非常に簡単な見積もりとして $S \times n_{drift}$ が一定であれば、素子耐圧を落とすことなく S を変えることができる。

【0041】

つまりは、実効的な総不純物量を一定にしておけば、オフ時に補償し合う電子もしくは正孔の総数は保たれたままとなるので、単純には空乏層はほとんど同じ

ように広がって同等な耐圧を確保する。また、そのようにしたとき、ドリフト領域の低濃度化により抵抗率は増大しても、オン電流の流路の断面積 S が大きくなる効果で、抵抗自体に与える影響が完全に相殺され、結果として移動度の違いだけがドリフト抵抗の変化に現れることになる。

【0042】

したがって、 S を大きくし過ぎて、断面積の小さい高濃度ドリフト領域から流れ出すオン電流が広がって、この広がりにより流れない無効領域を生じさせると、本発明の利点を失わせるおそれがあるため、実際の半導体装置の設計にあたってはドリフト領域中のオン電流分布を考慮しながら、最も大きな S とすることが重要である。つまり、高濃度ドリフト領域の断面積（体積）に対して、低濃度ドリフト領域の断面積（体積）を大きくするが、その大きさには最適値が存在する。

【0043】

また、前記第2ドリフト領域の電流経路に沿う単位長さ当たりの実効的な不純物量（総量）を、前記第1ドリフト領域の電流経路に沿う単位長さ当たりの実効的な不純物量（総量）以上に増やすことで、第2ドリフト領域のオン抵抗をさらに低減することができる。

【0044】

また、ゲートドレイン間の容量を小さくする手段として、前記の空乏層ストッパ（高濃度領域）を形成することは有用である。ゲート電極脇に設けられる高濃度ドリフト領域はごく微小にできるため、そのすぐ近くに空乏層ストッパを設けることで、容易に空乏層ストッパをゲート電極に接近させることができ、ゲート電極に接するベース領域内への空乏層の張り出しを効果的に抑えることが可能となる。

【0045】

【発明の実施の形態】

以下に本発明の実施形態を説明する。以下で n または p を冠記した領域では、それぞれ電子、正孔が多数キャリアであることを意味している。上付き文字の $+$ は比較的高不純物濃度で、 $-$ は比較的低不純物濃度であることを示している。ま

た、すべての実施例において第1導電型をn型に、第2導電型をp型に規定しているが、これが逆の場合であってもよい。

〔実施例1〕

図1は、この発明の第1実施例のMIS型半導体装置の要部構成図であり、同図(a)は要部平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。これらの図は横型プレーナMOSFETの場合であり、同図(b)はハーフセルの部分を示す。

【0046】

p-基板14上にエピタキシャル成長でp層を形成し、このp層の表面層にp⁺拡散領域を形成し、その上にp層を再度形成して、p層で形成されたpベース領域3内に埋め込み層であるp⁺ストップ領域11を形成する。pベース領域3の表面にゲート絶縁膜7とその上にポリシリコンのゲート電極8を形成する。このゲート電極8をマスクとして、nドリフト領域1とn⁺ソース領域5を形成し、nドリフト領域1の表面層にn⁺ドレイン領域9、pベース領域3の表面層にp⁺コンタクト領域4を形成する。このn⁺ソース領域5の形成は、拡散係数の大きいリンを低濃度で深く拡散し、その後、拡散係数の小さな砒素を浅く拡散している。これは図1(b)のA-A断面である図2(a)に示すように、ゲート絶縁膜7下のpベース領域3をリンで補償して、ゲート絶縁膜7下のpベース領域3の不純物濃度のピーク位置Pをnドリフト領域1に近い側に位置させるためである。

【0047】

ゲート電極8とn⁺ドレイン領域9に挟まれたnドリフト領域1上に例えば酸化膜12などの絶縁膜を、ゲート電極8側が薄く、n⁺ドレイン領域9側が厚くなるように形成する。そして、その酸化膜12上にフィールドプレート13を形成する。さらにn⁺ドレイン領域9上にドレイン電極10を形成し、n⁺ソース領域5上とp⁺コンタクト領域4上にソース電極6を形成する。このソース電極6とフィールドプレート13を電氣的に接続する。

【0048】

ここで、ゲート絶縁膜7とp⁺ストップ領域11の間隔d_gを2.5μm以下

とし、好ましくは $1\ \mu\text{m}$ 以下とする。また n ドリフト領域 1 と p⁺ ストッパ領域 11 の最小間隔 x を $5.6\ \mu\text{m}$ 以下とする。また、酸化膜 12 のゲート電極 8 に近い側の薄い部分の厚さをゲート絶縁膜 7 の厚さ以上とし、 V_b/E_c 以下とする。ここで V_b は素子耐圧 (V) で E_c はシリコンの臨界絶縁破壊強度 (V/cm) である。例えば、素子耐圧が 30 V の場合に酸化膜の薄い部分の厚さは $0.6\ \mu\text{m}$ 以下とする。また、p ベース領域 3 のゲート絶縁膜 7 との界面近傍の不純物濃度のピーク位置 P が n ドリフト領域 1 に近い側にあるとよい。

【0049】

前記の数値の根拠は、ゲート絶縁膜 7 と p⁺ ストッパ領域 11 の間隔 d_g が $2.5\ \mu\text{m}$ を超えるとゲート電極 8 下の p ベース領域 3 の奥まで空乏層が広がるようになり、帰還容量が増大する。また、この間隔 d_g が小さい程、ゲート電極 8 下の p ベース領域 3 に空乏層が広がりにくくなり、帰還容量が小さくなるので好ましく、30 V 程度の素子ではこの間隔 d_g は $1\ \mu\text{m}$ 以下がよい。これらのことをさらに説明する。

【0050】

図 11 は、距離 d_g と $L/L_{\text{bulk}} \times 100$ (%) の関係を示す図である。距離 d_g は p⁺ ストッパ領域 11 からゲート絶縁膜 7 までの距離である。また L は p⁺ ストッパ領域 11 がある場合の距離 d_g で、ゲート絶縁膜 7 との界面での空乏層の伸び (0 V の等電位線の n ドリフト領域からの距離)、 L_{bulk} は p⁺ ストッパ領域 11 がない場合のゲート絶縁膜 7 との境界での空乏層の伸び (0 V の等電位線の n ドリフト領域からの距離) で、それぞれのバイアス電圧が同じときの値を比較したものである。この $L/L_{\text{bulk}} \times 100\%$ が、100% ということは、空乏層の伸びが p⁺ ストッパ領域 11 の影響を受けないことを意味する。また、 L が大きくなると帰還容量が増大する。

【0051】

ここでは、p⁺ ストッパ領域 11 の不純物濃度が $1 \times 10^{21}\ \text{cm}^{-3}$ で、p ベース領域の不純物濃度が $1 \times 10^{15}\ \text{cm}^{-3}$ で、n ドリフト領域 1 の不純物濃度が $1 \times 10^{19}\ \text{cm}^{-3}$ で、p⁺ ストッパ領域 11 と n ドリフト領域 1 が接触した場合を示している。図 11 から、距離 d_g が $2.5\ \mu\text{m}$ で空乏層の伸びが p⁺ ストッパ

領域 11 に影響されなくなるので、距離 d_g は $2.5 \mu m$ を超す長さにする必要はない。また、 $30 V$ 程度の素子の場合には空乏層の伸びが p^+ ストップ領域 11 の影響を受けない距離 d_g は $1 \mu m$ 程度となるので、距離 d_g を $1 \mu m$ を超す長さにする必要はない。

【0052】

また、 p ベース領域 3 の不純物濃度を $1 \times 10^{15} cm^{-3}$ 、 n ドリフト領域 1 の不純物濃度を $1 \times 10^{19} cm^{-3}$ と極端に高くした場合、図 12 に電界強度で示すように、 n ドリフト領域 1 と p^+ ストップ領域 11 の間隔 x が $5.6 \mu m$ を超えると n ドリフト領域 1 端から p ベース領域 3 に広がる空乏層が p^+ ストップ領域 11 に達しなくなる。そのため、通常、 n ドリフト領域 1 の不純物濃度が低いために、 n ドリフト領域 1 内にも空乏層が広がり、 p ベース領域 3 に広がる空乏層は狭くなる。そのため、間隔 x は $5.6 \mu m$ 以下とすると好ましい。一方、この間隔 x が小さい程、空乏層はゲート電極 8 下の p ベース領域 3 には広がりにくくなる。そのため、 n ドリフト領域 1 と p^+ ストップ領域 11 が接触した状態が最も帰還容量が小さくなり好ましい。

【0053】

また、ゲート電極 8 側の最も薄い酸化膜の膜厚 t_{min} をゲート絶縁膜 7 の膜厚未満とすると素子耐圧がゲート耐圧より低くなり好ましくない。また、 V_b / E_c を超えると、膜厚 t_{min} が必要以上に厚くなりすぎて、フィールドプレートの働きが弱くなり好ましくない。

【0054】

また、 p ベース領域 3 のゲート絶縁膜 7 との界面近傍の不純物濃度のピーク位置 P が n ソース領域 5 に近い側にあると、 n ドリフト領域 1 からゲート絶縁膜 7 との界面近傍の p ベース領域 3 に広がる空乏層が n ソース領域 5 側まで広がり、帰還容量を大きくしてしまう。そのため n ドリフト領域 1 に近い側に有る方がよい。

【0055】

前記の内容をさらに説明する。ゲート電極 8 下には p^+ ストップ領域 11 (空乏層ストップ) が設けられて空乏層が広がらないようにしている。また、図 1 (

b) において、p ベース領域 3 表面のチャネルが形成される A-A 断面における不純物濃度分布は図 2 (a) のようになっており、n⁺ ソース領域 5 よりも n ドリフト領域 1 に近いところ (ピーク位置 P) に不純物濃度の極大値が存在している (尚、これ以降の実施例においても、A-A と表記した断面における不純物濃度分布は図 2 (a) と同様である)。

【0056】

これにより、しきい値の制御をしながら空乏層がゲート電極 8 下に張り出しにくくしている。さらに、n ドリフト領域 1 の表面には酸化膜 12 を介してフィールドプレート 13 を設け、ソース電位に固定している。ゲート電極 8 近くでこの酸化膜 12 を薄くすると、フィールドプレート 13 の電位に引っ張られて、ゲート絶縁膜 7 付近の電界を緩和して耐圧を確保できる。

【0057】

さらに、図 1 (b) の B-B 断面における n ドリフト領域 1 の不純物濃度分布を図 2 (b) のように、n ドリフト領域 1 の表面側で、不純物濃度を高くすると、オン抵抗を低減できる。この不純物濃度プロファイルは、半導体基板表面に 1 回のイオン注入を行った後に熱拡散をすれば、n ドリフト領域 1 の表面の不純物濃度を高くすることができる。

【0058】

前記のようにすることで、ゲート電極 8 と n ドリフト領域 1 の十分な重なり面積を確保し、n ドリフト領域 1 の表面濃度を高くすることで、低オン抵抗化を図ることができる。また、p⁺ ストップ領域 11 を所定の位置に配置することで、ゲート電極 8 下の p ベース領域 3 に空乏層が広がることを抑制して、低帰還容量化を図ることができる。低帰還容量化を図ることで低スイッチング損失化することができる。

【0059】

尚、p⁺ ストップ領域 11 は p⁺ コンタクト領域 4 と接続させる必要は必ずしもない。また、p⁺ ストップ領域 11 は、n ドリフト領域 1 から伸びる空乏層が到達する位置で、n ドリフト領域 1 と n⁺ ソース領域 5 の中間位置に島状に形成しても構わない。また、p⁺ ストップ領域 11 は n ドリフト領域 1 の下にもぐり

込ませるように形成しても構わない。

【0060】

また、本実施例では、 p^+ ストップ領域 11、フィールドプレート 13、不純物濃度のピーク P に関する発明はすべて併せ持つ構成を示しているが、これらは必ずしも一緒に用いられる必要はなく、別個に用件を満たすだけでもよい。このことは以下の実施例全てにおいても同様である。

〔実施例 2〕

図 3 は、この発明の第 2 実施例の M I S 型半導体装置の要部斜視断面図である。この図は横型プレーナ M O S F E T の場合の他の例におけるハーフセル部分斜視断面図（部分俯瞰図）である。

【0061】

基本的な M O S F E T 構造は、第 1 実施例と同じで、この図ではソース電極 6、ゲート絶縁膜 7、ゲート電極 8、ドレイン電極 10、酸化膜 12 の一部（図 1（b）で示した酸化膜 12）、フィールドプレート 13 の一部（図 1（b）で示したフィールドプレート 13）が省略されているが、図 1 と同様に n ドリフト領域 1、 p ベース領域 3、 p^+ コンタクト領域 4、 n^+ ソース領域 5、 n^+ ドレイン領域 9 を備えている。本例が第 1 実施例と異なるのはフィールドプレート 13 が半導体基板 50 表面の他に、半導体基板 50 内部にも埋め込まれるように設けられていることと、図 3 の奥行き方向に n ドリフト領域 1 と p 仕切り領域 2 が交互に配置した超接合層 16 を備えていることである。このように、フィールドプレート 13 は必ずしも半導体基板 50 の表面にある必要はなく、 n ドリフト領域 1 の側面にあっても良い。また本例のような超接合半導体装置では、埋め込まれたフィールドプレート 13 と p 仕切り領域 2 を同列にしておけば、 p 仕切り領域 2 はそもそもオン電流が流れない領域なので、半導体基板 50 内部に非導電領域としてフィールドプレート 13 があっても電流経路が妨げられない。

【0062】

この実施例においても、間隔 d_g 、間隔 x 、ピーク位置 P および図示しない最小膜厚 t_{min} について、第 1 実施例と同様にすることで、同様の効果が得られる。

〔実施例 3〕

図 4 は、この発明の第 3 実施例の M I S 型半導体装置の要部断面図である。この図は縦型プレーナ M O S F E T の場合のハーフセル部分断面図である。

【0063】

本例でも p^+ ストップ領域 11 が設けられており、空乏層がゲート電極 8 下の p ベース領域 3 に広がらないようになっている。また、チャネルが形成される p ベース領域 3 表面では、やはり、 n^+ ソース領域 5 よりも n ドリフト領域 1 に近いところに濃度の極大値が存在し、しきい値の制御をしながら空乏層の張り出しを抑えている。

【0064】

この実施例においても、間隔 d_g 、間隔 x 、ピーク位置 P について、第 1 実施例と同様にすることで、同様の効果が得られる。

〔実施例 4〕

図 5 は、この発明の第 4 実施例の M I S 型半導体装置の要部斜視断面図である。この図は縦型プレーナ M O S F E T の場合の他の実施例におけるハーフセル部分斜視断面図である。

【0065】

本例は図 3 の横型の場合と全く同様のコンセプトで、フィールドプレート 13 を半導体基板 50 内部に埋め込んだ縦型の超接合半導体装置である。

【0066】

この実施例においても、間隔 d_g 、間隔 x 、ピーク位置 P および最小膜厚 t_{min} について、第 1 実施例と同様にすることで、同様の効果が得られる。

〔実施例 5〕

図 6 は、この発明の第 5 実施例の M I S 型半導体装置の要部断面図である。この図は縦型プレーナ M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

【0067】

本例はプラグ（底部に形成される n^+ ドレイン領域 9 に接続する表面から伸びた導電体のこと）のような n ドリフト領域 1 を有する M O S F E T に対するもの

である。このような構造の場合には、 n ドリフト領域 1 に隣接するトレンチ 5 1 内に酸化膜 1 2 を介してフィールドプレート 1 3 を設けている。

【0068】

この実施例においても、間隔 d_g 、間隔 x 、ピーク位置 P および最小膜厚 t_{min} について、第 1 実施例と同様にすることで、同様の効果が得られる。

〔実施例 6〕

図 7 は、この発明の第 6 実施例の M I S 型半導体装置の要部断面図である。この図は縦型プレーナ M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

【0069】

本例は半導体基板 5 0 の表面の n ドリフト領域 1 とプラグ様の n^+ ドレイン領域 9 とを有する M O S F E T に対するものである。

【0070】

この実施例においても、間隔 d_g 、間隔 x 、ピーク位置 P および最小膜厚 t_{min} について、第 1 実施例と同様にすることで、同様の効果が得られる。

〔実施例 7〕

図 8 は、この発明の第 7 実施例の M I S 型半導体装置の要部断面図である。この図は縦型プレーナ M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

【0071】

本例は第 6 実施例に類似したプラグのような n^+ ドレイン領域 9 a を有するものである。このような構造の場合にも、フィールドプレート 1 3 近くの n ドリフト領域 1 表面で高濃度化することが、オン抵抗を低減するのに有効な手段である。ここで、 n^- 層 1 5 は、空乏層を広げ、耐圧を確保する働きをする。

【0072】

この実施例においても、間隔 d_g 、間隔 x 、ピーク位置 P および最小膜厚 t_{min} について、第 1 実施例と同様にすることで、同様の効果が得られる。

〔実施例 8〕

図 9 は、この発明の第 8 実施例の M I S 型半導体装置の要部断面図である。こ

の図は縦型トレンチMOSFETの場合のハーフセル部分断面図である。

【0073】

本例はトレンチゲートを有するMOSFETに対するものである。この構造ではフィールドプレートが設けられていない。

【0074】

この実施例においても、間隔 d_g 、間隔 x およびピーク位置 P について、第1実施例と同様にすることで、同様の効果が得られる。

〔実施例9〕

図10は、この発明の第9実施例のMIS型半導体装置の要部断面図である。この図は縦型トレンチMOSFETの場合の他の実施例におけるハーフセル部分断面図である。

【0075】

本例は第8実施例と同様にトレンチゲートを有するMOSFETに対するものであるが、ゲートよりさらに深いトレンチを有し、そのトレンチ内にフィールドプレート13が設けられている。

【0076】

ここでは n ドリフト領域1のほかに p 仕切り領域2を有する超接合半導体装置を示しているが、もちろん実施例8のような単層（ p 仕切り領域2を設けない）の n ドリフト領域1であっても構わない。

【0077】

この実施例においても、間隔 d_g 、間隔 x 、ピーク位置 P および最小膜厚 t_{min} について、第1実施例と同様にすることで、同様の効果が得られる。

【0078】

前記の実施例において、製造工程上の意図の有り無しに関わらず受ける熱履歴により、通常、ベース領域とドリフト領域の境界付近では必ずドナーとアクセプターが相互に補償し合い、実効的な不純物濃度が低下している。

【0079】

したがって、ゲート電極とドリフト領域との重なり面積を小さくしてゆくと、最終的にはドリフト領域の低濃度部分のみがゲート電極と重なるようになり、そ

の部分のドリフト抵抗が高くなってオン抵抗の増大を招く。そこで、ゲート電極とドリフト領域の重なり面積を小さくしても、その重なり部分でのドリフト領域の不純物濃度を十分に高く保つためには、なるべくベース領域とドリフト領域の境界部分での拡散を抑えて、階段接合に近付けることが理想である。

【0080】

しかしながら、そのようなやり方を推し進めてゆくと、ドリフト領域全体が高濃度化されて、図13に示すような、高濃度ドリフト領域 (n^+ ドリフト領域 1a) を有するMIS型半導体装置となり、ドリフト領域中でのキャリア移動度が低下するために、オン抵抗が増大する。

【0081】

また、例えば図14に示すようないわゆるLDDと呼ばれる正味の不純物濃度の低い低濃度ドリフト領域 (n^- ドリフト領域 1b) を付け加えたMIS型半導体装置では、 n^- ドリフト領域 1b にオン電流の大半を流すようにすることで移動度の低下を防げるが、 n^- ドリフト領域 1b の先端Bは、 n^+ ドリフト領域 1a の先端Aを越えてゲート電極直下にまで配置されている（つまり、 n^- ドリフト領域 1b の先端Bがゲート電極直下のpベース領域3の表面に露出するように配置されている）ので、この領域を広げることは、そもそもの意図に反してゲートドレイン間容量（帰還容量）を増大させるという矛盾を生じる。

【0082】

以下の実施例では、ゲート電極とドリフト領域の重なり面積を小さくしながらも、重なり部分におけるドリフト領域の不純物濃度を十分に高く保ち、且つ、ドリフト領域全体の移動度を低下させないようにして、低オン抵抗で且つ低帰還容量のMIS型半導体装置を実現する方法について、前記の p^+ ストップ領域 11 がない構造の実施例について説明し、その後で前記の実施例のように p^+ ストップ領域 11 がある場合について説明する。

〔実施例10〕

図15は、この発明の第10実施例のMIS型半導体装置の要部断面図である。この図は横型プレーナーMOSFETの場合の他の実施例におけるハーフセル部分断面図である。

【0083】

p ベース領域 3 の表面には、例えばゲート電極 8 をマスクの一部としたヒ素のイオン注入とレーザアニールにより形成された n^+ ドリフト領域 1 a があり、それより深いところには、例えばリンの高エネルギーイオン注入と炉アニールによって予め形成された n^- ドリフト領域 1 b がある。 n^- ドリフト領域 1 b の濃度をより均一にするために、エネルギーを変えてリンを複数回イオン注入することにより、濃度ピーク位置を分散させることもある。あるいは、p- 基板 1 4 上に p ベース領域 3 をエピタキシャル成長させた後、その上に更に n^- 層をエピタキシャル成長させ、その一部にホウ素を補償ドーピングする方法が採られることもある。補償されて p 型になった部分がゲートからソースに至る付近の p ベース領域 3 の一部となり、 n 型のまま残ったエピタキシャル層が n^- ドリフト領域 1 b に相当し、この上に n^+ ドリフト領域 1 a を形成する。

【0084】

いずれの製造方法においても、ゲート電極 8 は n^+ ドリフト領域 1 a と小さい面積で重なり、 n^- ドリフト領域 1 b はゲート電極 8 に対して n^+ ドリフト領域 1 a よりも後退した位置にある。これは、 n^- ドリフト領域 1 b の先端 B が n^+ ドリフト領域 1 a の先端 A を越えて p ベース領域 3 の表面（半導体基板表面）に露出しないようにして、帰還容量を小さくするためである。また、 n^- ドリフト領域 1 b は n^+ ドリフト領域 1 a より大きな体積としている。ゲート電極 8 近くの n^+ ドリフト領域 1 a の表面には酸化膜 1 2 を介したフィールドプレート電極 1 3 が設けられ、このフィールドプレート 1 3 とソース電極 6 を電氣的に接続する。ここでは酸化膜 1 2 に段差を付けた例を示しているが、その段数、各段の幅、各段の厚みなどを適切に選ぶことで効果的に周辺の電界が緩和される。

【0085】

また、ゲート絶縁膜 7 の劣化を抑える目的から、ゲート電極 8 近傍の電界緩和は大切であるが、より信頼性の高い半導体装置とするためには、アバランシェ降伏がゲート絶縁膜 7 から離れたところで起きるようにすべきである。そこで、 n^+ ドリフト領域 1 a と p ベース領域 3 との間で形成される p n 接合（内蔵ダイオード）のアバランシェ電圧（耐圧）よりも、 n^- ドリフト領域 1 b と p ベース領

域 3 との間で形成される p n 接合（内蔵ダイオード）のアバランシェ電圧（耐圧）の方が低く、より望ましくは、n⁺ ドレイン領域 5 と p ベース領域 3 との間で形成される p n 接合（内蔵ダイオード）の耐圧の方が低い構成とするとよい。

【0086】

これは、n⁻ ドリフト領域 1 b もしくは p ベース領域 3 の実効的な不純物濃度を最適値から若干ずらすだけで良い。特に、n⁻ ドリフト領域 1 b と p ベース領域 3 との間で積極的にアバランシェ降伏を起こさせる場合には、n⁻ ドリフト領域 1 b の不純物濃度を高めたほうがオン抵抗を低減する面からも都合が良い。

【0087】

つぎに、n⁺ ドリフト領域 1 a と n⁻ ドリフト領域 1 b を形成するに当たっての留意点について説明する。

【0088】

図 15 に示すように、低帰還容量化のためには、ゲート電極 8 近くに n⁺ ドリフト領域 1 a があって、それが非常に小さい面積でゲート電極 8 と重なるようにする。これを実現するために、例えばゲート電極 8 をマスクの一部としたイオン注入により n⁺ ドリフト領域 1 a を形成するための不純物を導入すると、自己整合的にゲート電極 8 との重なり面積を制御できるので、ばらつきが少なく精密な配置ができる。

【0089】

特に、n チャンネル型半導体装置の製造で、イオン種として前記のようにヒ素を選ぶと、半導体中で拡散しにくいので、ゲート電極 8 と n⁺ ドリフト領域 1 a の重なり面積を小さくすることに対して有利である。さらに、イオン注入によって導入された不純物を活性化させるのに、前記のようにレーザーアニールを用いれば、より一層、半導体中での不純物の拡散を抑えることができる。

【0090】

同様な配慮から、そもそもの製造工程において、ゲート電極 8 近傍の n⁺ ドリフト領域 1 a になるべく熱をかけないことが肝要であり、その部分の形成はなるべく後工程にすべきである。例えば、多くの場合、n⁻ ドリフト領域 1 b は広い範囲にわたって形成され、その形成方法として熱処理による不純物の固体内拡散

を利用することが考えられるので、少なくともそのような工程を終えてからの方が良い。

【0091】

ドリフト領域全体にわたって高いキャリア移動度を保とうとすると、 n^- ドリフト領域 1b は広く均一に形成することが求められる。その形成方法としては、高エネルギーイオン注入で不純物を導入し、その後、熱処理により拡散させることが挙げられる。これにより、半導体の中ほどに入ったところへドリフト領域を広く分布させることができる。このとき多重イオン注入を行なえば、不純物の濃度分布はより均一化する。 n チャンネル型半導体装置の製造においては、イオン種をリンに選ぶと、比較的半導体中で拡散しやすいので便利である。また、ゲート電極 8 を形成した後に図示しない絶縁膜を堆積させ、それをエッチバックしてゲート電極 8 脇のみに絶縁膜を残すと、それがウォールとなるので、これをマスクの一部としてイオン注入を行なうと、ばらつきが少なく精密な配置を実現できる。

【0092】

n^- ドリフト領域 1b を形成する別の方法として、エピタキシャル成長を用いることも考えられる。オフ状態で耐圧を確保する際には、空乏層が均一にドリフト領域へ広がることが理想的であるが、エピタキシャル層の場合には不純物濃度がほぼ一定となるので、不規則な電位分布を生じにくく、ある特定の箇所へ電界集中することが少なくなる。

【0093】

ゲート電極 8 に隣接して n^+ ドリフト領域 1a を設けた場合、この部分での電界緩和させるために、 n^+ ドリフト領域 1a の表面側に絶縁膜 12 を介したフィールドプレート 13 を設ける。このようにすると、フィールドプレート 13 の電位に引っ張られてドリフト領域側に空乏層が広がりやすくなり、ゲート電極 8 近くでの電界分布が緩やかとなる。フィールドプレート 13 は必ずしも n^+ ドリフト領域 1a 全体を覆っている必要はなく一部を覆うのみであっても良い。これは、フィールドプレート 13 がゲート電極 8 の近くに設けられていると効果的であり、さらにその電位を固定すると安定してその役割を発揮する。

【0094】

電界緩和させるために設けるフィールドプレートをゲート電極の延長として形成した構造では、フィールドプレート下の絶縁膜容量が帰還容量に加わってくるので、スイッチング速度が遅い。それに対して、本発明ではフィールドプレート13がゲート電極8から電氣的に絶縁されて、ソース電極6と接続しているので電界緩和と低帰還容量を両立させることができる。

〔実施例11〕

図16は、この発明の第11実施例のMIS型半導体装置の要部断面図である。この図は縦型プレーナーMOSFETの場合の他の実施例におけるハーフセル部分断面図である。

【0095】

本例では、 n^+ ドリフト領域1aをゲート電極8近傍だけに配置している。このようにすると容易に耐圧を確保しながら、 n^+ ドリフト領域1aの不純物濃度を高め、 n^- ドリフト領域1bの体積を大きくすることができる。この半導体装置は縦型であるが、表面付近のMOS構造は第10実施例とほとんど同じであり、全く同様な方法で製造できる。また、 n^+ ドレイン領域9a (n^+ ドレインプラグ領域) については、トレンチ側壁のイオン注入、もしくはトレンチへの高導電体の埋め込みなどによって形成される。この場合も、 n^- ドリフト領域1bの先端Bが n^+ ドリフト領域1aの先端Aを越えてpベース領域3の表面に露出しないようにすることで、帰還容量を小さくすることができる。

【0096】

この構造を図17のようにモデリングし、シミュレーションによって低帰還容量化を図りながらも低オン抵抗を両立することが可能であることが確認されている。ゲートドレイン間の容量を低減するために、図17ではゲート電極8と n^+ ドリフト領域1aとの重なりを $0.1\mu\text{m}$ まで短縮し、この状態で、X1を n^+ ドリフト領域1aと n^- ドリフト領域1bとの比率を変えるパラメータとした。また、フィールドプレート電極13は平板の酸化膜12の上に設けている。このようにしても酸化膜12の厚さと、フィールドプレート13の長さを適当に調節すれば、周辺の電界緩和は十分に可能である。

【0097】

そのときの規格化オン抵抗の依存性を図18に示す。X1があまりに短いと、オン電流が n^- ドリフト領域1bの中を十分に広がることができずに n^+ ドレイン領域9aに達してしまうので、無効領域が生じる結果、規格化オン抵抗は増大する。しかしながらX1が $0.4\mu\text{m}$ 以上になると、その不利益分を超えて、オン電流が高いキャリア移動度を持って流れる領域が増えてくるので、そこから先はX1に対して直線的に規格化オン抵抗が減少する。

【0098】

また、フィールドプレート13の有効性についてもシミュレーションにより確認することができる。X1= $0.6\mu\text{m}$ の時に、フィールドプレート13がない場合と、フィールドプレート13がある場合のオフ状態での電位分布を示したのが、それぞれ図19、図20である。フィールドプレート13の存在により、空乏層が n^+ ドリフト領域1aあるいは n^- ドリフト領域1bまで均一に広がるようになって、効率的に耐圧が確保されていることが分かる。なお、このときの酸化膜12の厚さ $0.15\mu\text{m}$ は、ゲート絶縁膜7の厚さ 500\AA (50nm)より厚く、 $V_b/E_c = 38.4\text{V}/(5\times 10^5\text{V}/\text{cm})$ は約 $0.77\mu\text{m}$ より薄い。

〔実施例12〕

図21は、この発明の第12実施例のMIS型半導体装置の要部断面図である。この図は縦型プレーナーMOSFETの場合の他の実施例におけるハーフセル部分断面図である。

【0099】

本例は第10実施例の半導体装置において、表面を n^+ ドリフト領域1aのみとし、 n^+ ドレイン領域9aを n^- ドリフト領域1bに置き換えた構造をしている。このような配置により、 n^- ドリフト領域1bとpベース領域3が丁度縦型の超接合層ようになるので、比較的高耐圧の半導体装置において、耐圧と規格化オン抵抗の良いトレードオフが得られる。また製造においても、エピタキシャル成長とマスクイオン注入の繰り返しや、トレンチ側壁へのイオン注入、トレンチのエピタキシャル成長による埋め込みなど、従来の超接合半導体装置の製造方

法を流用することができる。この場合も、 n^- ドリフト領域 1b の先端 B が n^+ ドリフト領域 1a の先端 A を越えて p ベース領域 3 の表面に露出しないようにすることで、帰還容量を小さくすることができる。

〔実施例 13〕

図 22 は、この発明の第 13 実施例の M I S 型半導体装置の要部断面図である。この図は縦型プレーナー M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

【0100】

本例は実施例 12 の半導体装置表面にあった n^+ ドリフト領域 1a を縦方向に配置した構造で、横幅の縮小に有利である。このような場合の n^+ ドリフト領域 1a は、例えばゲート電極 8 をマスクの一部としたトレンチ側壁への深い角度での斜めイオン注入で不純物が導入される。また、フィールドプレート 13 は、そのトレンチ内に設けられている。この場合も、 n^- ドリフト領域 1b の先端 B が、 n^+ ドリフト領域 1a の先端 A を越えて p ベース領域 3 の表面に露出しないようにすることで、帰還容量を小さくすることができる。

〔実施例 14〕

図 23 は、この発明の第 14 実施例の M I S 型半導体装置の要部断面図である。この図は縦型プレーナー M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

【0101】

本例は実施例 11 と似たような構造をピタキシャル層を用いて形成している。 n^- エピタキシャル層への二重拡散により M O S 構造を形成しており、残った n^- エピタキシャル層がそのまま n^- ドリフト領域 1b となっている。この場合も、 n^- ドリフト領域 1b の先端 B が n^+ ドリフト領域 1a の先端 A を越えて p ベース領域 3 の表面に露出しないようにすることで、帰還容量を小さくすることができる。

〔実施例 15〕

図 24 は、この発明の第 15 実施例の M I S 型半導体装置の要部断面図である。この図は縦型トレンチ M O S F E T の場合の他の実施例におけるハーフセル部

分断面図である。

【0102】

本例はトレンチゲートを有するMOSFETに対するものである。 n^- エピタキシャル層に掘られたトレンチの底部へ予め高濃度のAsイオン注入を行なっておき、表面から補償ドーピングを行って、深い拡散でpベース領域3を形成すると、トレンチゲートの近くのみに n^+ ドリフト領域1aが残る。トレンチ底部へのイオン注入を行なう際には、トレンチを形成したときの酸化マスクをそのまま利用すれば、工程が簡略化されて便利である。この場合も、 n^- ドリフト領域1bの先端Bが n^+ ドリフト領域1aの先端Aを越えてpベース領域3の表面に露出しないようにすることで、帰還容量を小さくすることができる。

〔実施例16〕

図25は、この発明の第16実施例のMIS型半導体装置の要部断面図である。この図は縦型トレンチMOSFETの場合の他の実施例におけるハーフセル部分断面図である。

【0103】

本例は実施例15と同様にトレンチゲートを有するMOSFETに対するものであるが、ゲートよりさらに深いトレンチを有し、そのトレンチ内にフィールドプレート13が設けられている。さらに従来の超接合半導体装置の製造方法を利用して、 n^+ ドリフト領域1aの下方に n^- ドリフト領域1bとp仕切り領域2とからなる超接合層16を形成している。ゲートがトレンチ側壁に形成されている場合には、それをマスクの一部とした斜めイオン注入で n^+ ドリフト領域1aを形成するための不純物を自己整合的に導入することができる。この場合も、 n^- ドリフト領域1bの先端Bが n^+ ドリフト領域1aの先端Aを越えてpベース領域3の表面に露出しないようにすることで、帰還容量を小さくすることができる。

【0104】

尚、第10実施例から第16実施例において、フィールドプレート13を形成した構造のもので説明したが、必ずしもこのフィールドプレート13は形成しなくてもよい。

〔実施例 17〕

図 26 は、この発明の第 17 実施例の M I S 型半導体装置の要部断面図である。この図は横型トレンチ M O S F E T の場合の他の実施例におけるハーフセル部分断面図である。

【0105】

この構造は、図 15 の構造に対して、さらに図 1 で示す p^+ ストップ領域 11 (空乏層ストップ) を追加形成したものである。この場合も、 n^- ドリフト領域 1b の先端 B が n^+ ドリフト領域 1a の先端 A を越えて p ベース領域 3 の表面に露出しないようにすることで、帰還容量を小さくすることができる。

【0106】

さらに、 p^+ ストップ領域 11 を追加形成することで、ゲート電極 8 下への空乏層の張り出しが抑えられ、ゲートドレイン間容量 (帰還容量) の低減に対して一層効果的となる。

【0107】

尚、前記の第 10 実施例～第 16 実施例では、この p^+ ストップ領域 11 を配置した場合については示さないが、図 26 のように p^+ ストップ領域 11 を適用することで、第 17 実施例と同様の効果を得ることができる。この p^+ ストップ領域 11 を形成した場合、第 1 実施例～第 9 実施例で示した間隔 x 、間隔 d_g 、P 点の不純物濃度については、第 1 実施例～第 9 実施例の場合と同じように決めればよい。このとき、間隔 x については、 n^+ ドリフト領域 1a と n^- ドリフト領域 1b を一つの n ドリフト領域 1 と見做して決めればよい。

【0108】

また、第 1 実施例～第 9 実施例に対して、 n ドリフト領域 1 を第 10 実施例～第 16 実施例のように n^+ ドリフト領域と n^- ドリフト領域で構成して、 n^- ドリフト領域の先端が n^+ ドリフト領域の先端を越えて p ベース領域 3 の表面に露出しないようにすることで、さらに帰還容量を小さくすることができる。

【0109】

【発明の効果】

この発明において、ゲート電極近傍のドリフト領域とベース領域の境界近くに

空乏層をストップさせるストップ領域を設けたり、ゲート電極直下のドリフト領域近くでベース領域の不純物濃度を高めたりすることで、オフ時に空乏層がゲート電極下のベース領域に広がるのを抑制して、帰還容量（ゲート・ドレイン間の容量）を低減する。

【0110】

また、ドリフト領域に隣接して薄い絶縁膜を介してフィールドプレートを設けることで、ゲート絶縁膜近傍の電界を緩和して耐圧を確保する。

【0111】

さらに、ゲート電極に隣接する高濃度ドリフト領域と、その高濃度ドリフト領域を越えてゲート電極下のベース領域の表面に露出しない低濃度ドリフト領域とを備える構成とすることで、チャネルと高濃度ドリフト領域とを確実に接続しながらゲート電極と高濃度ドリフト領域の重なり面積を十分に小さくして、帰還容量を低減し、且つ、低濃度ドリフト領域の形成でキャリア移動度を高く維持して低オン抵抗を確保できるようにする。

【0112】

こうすることで、低帰還容量で、低いオン抵抗のMIS型半導体装置を製作することができる。

【図面の簡単な説明】

【図1】

この発明の第1実施例のMIS型半導体装置の要部構成であり、(a)は要部平面図、(b)は(a)のX-X線で切断した要部断面図

【図2】

図1のMIS型半導体装置の不純物濃度分布の図であり、同図(a)は図1(b)のA-A線での不純物濃度分布図、同図(b)は同図(a)のB-B線での不純物濃度分布図

【図3】

この発明の第2実施例のMIS型半導体装置の要部斜視断面図

【図4】

この発明の第3実施例のMIS型半導体装置の要部断面図

【図 5】

この発明の第 4 実施例の M I S 型半導体装置の要部斜視断面図

【図 6】

この発明の第 5 実施例の M I S 型半導体装置の要部断面図

【図 7】

この発明の第 6 実施例の M I S 型半導体装置の要部断面図

【図 8】

この発明の第 7 実施例の M I S 型半導体装置の要部断面図

【図 9】

この発明の第 8 実施例の M I S 型半導体装置の要部断面図

【図 10】

この発明の第 9 実施例の M I S 型半導体装置の要部断面図

【図 11】

距離 d_g と L/L_{bulk} の関係を示す図

【図 12】

距離 d_g と電界強度を示す図

【図 13】

高濃度ドリフト領域を有する M I S 型半導体装置の構成図

【図 14】

高濃度ドリフト領域と低濃度ドリフト領域を有する M I S 型半導体装置の構成図

【図 15】

この発明の第 10 実施例の M I S 型半導体装置の要部断面図

【図 16】

この発明の第 11 実施例の M I S 型半導体装置の要部断面図

【図 17】

図 16 の構造をモデリングした図

【図 18】

規格化オン抵抗の X 依存性を示す図

【図 19】

フィールドプレート 13 がない場合のオフ状態での電位分布を示した図

【図 20】

フィールドプレート 13 がある場合のオフ状態での電位分布を示した図

【図 21】

この発明の第 1 2 実施例の M I S 型半導体装置の要部断面図

【図 22】

この発明の第 1 3 実施例の M I S 型半導体装置の要部断面図

【図 23】

この発明の第 1 4 実施例の M I S 型半導体装置の要部断面図

【図 24】

この発明の第 1 5 実施例の M I S 型半導体装置の要部断面図

【図 25】

この発明の第 1 6 実施例の M I S 型半導体装置の要部断面図

【図 26】

この発明の第 1 7 実施例の M I S 型半導体装置の要部断面図

【図 27】

従来の M I S 型半導体装置の要部断面図

【図 28】

従来の M I S 型半導体装置の要部断面図

【図 29】

従来の M I S 型半導体装置の要部断面図

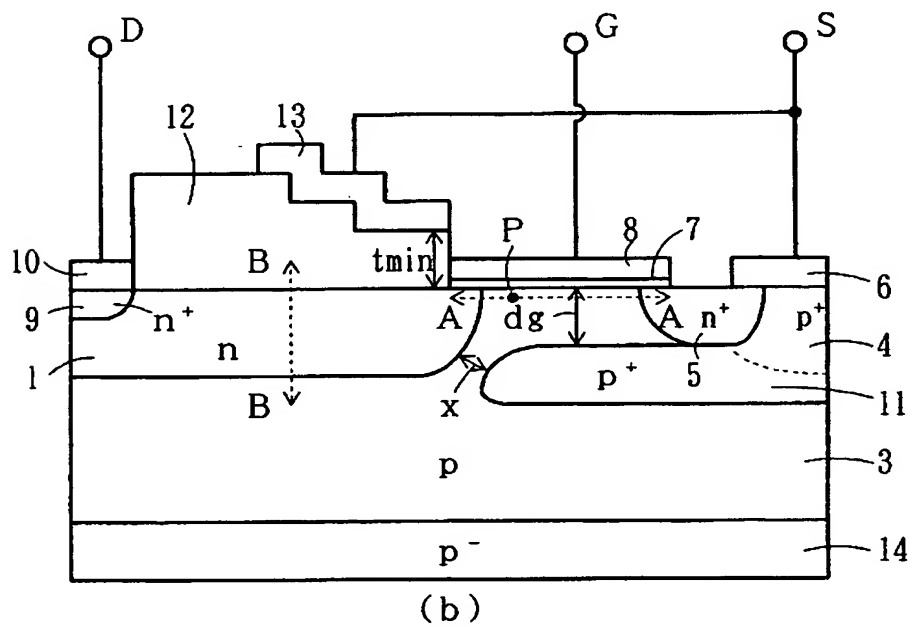
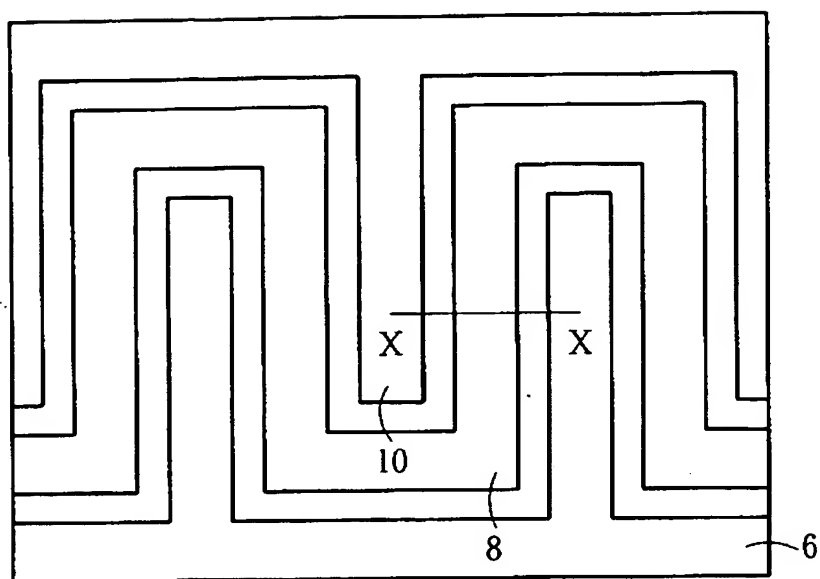
【符号の説明】

- 1 n ドリフト領域
- 1 a n⁺ ドリフト領域 (高濃度ドリフト領域)
- 1 b n⁻ ドリフト領域 (低濃度ドリフト領域)
- 2 p 仕切り領域
- 3 p ベース領域
- 4 p⁺ コンタクト領域

5	n^+ ソース領域
6	ソース電極
7	ゲート絶縁膜
8	ゲート電極
9	n^+ ドレイン領域
9 a	n^+ ドレイン領域 (ドレインプラグ領域)
10	ドレイン電極
11	p^+ ストップ領域
12	酸化膜
13	フィールドプレート
14	p^- 基板
15	n^- 層
16	超接合層
50	半導体基板
51	トレンチ
d g	距離 (ゲート絶縁膜と p^+ ストップ領域の距離)
x	距離 (n ドレイン領域と p^+ ストップ領域端の最小距離)
t m i n	厚さ (フィールドプレート下の酸化膜の最も薄い部分の厚さ)

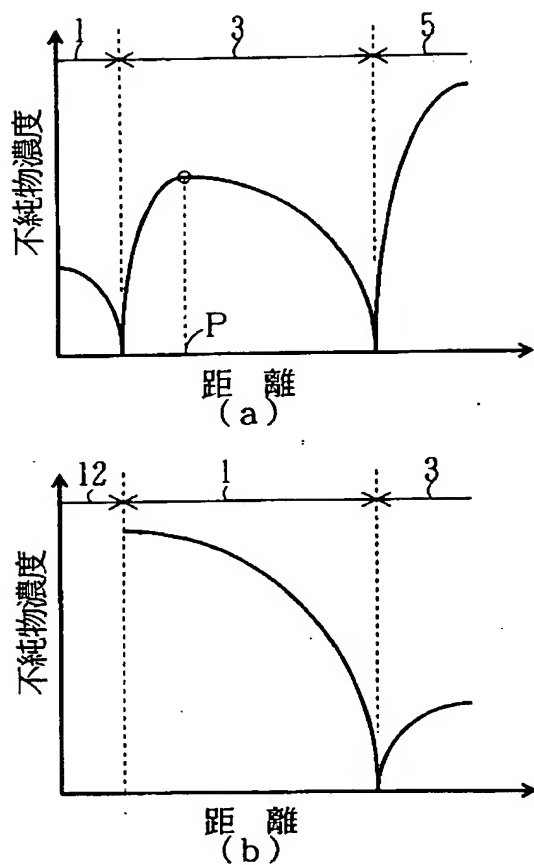
【書類名】 図面

【図 1】

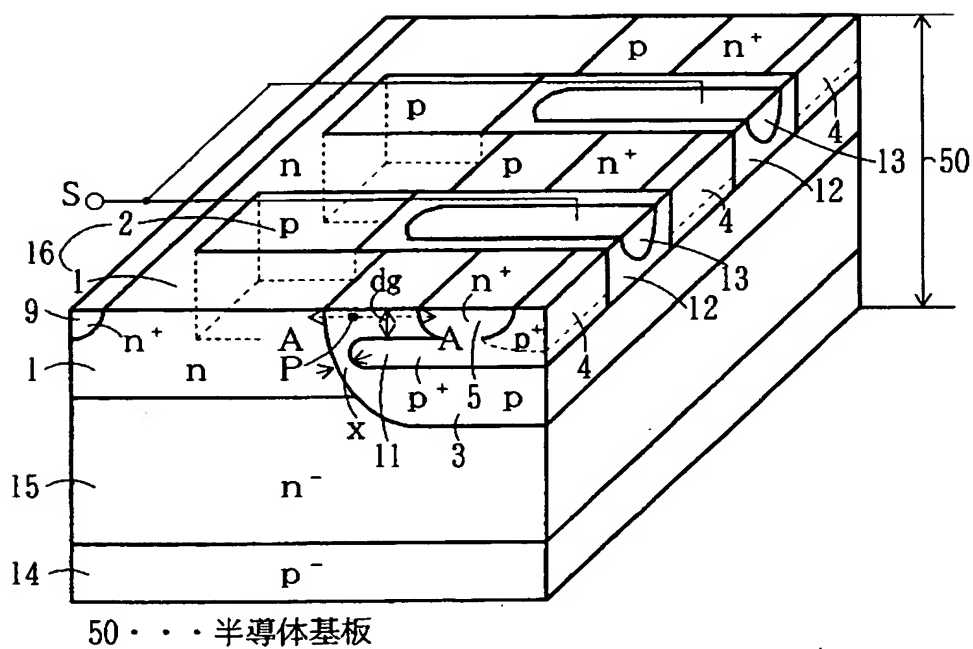


- | | | | | | | |
|---|-------|-------|---------|----|-------|--------------|
| 1 | ・ ・ ・ | n | ドリフト領域 | 8 | ・ ・ ・ | ゲート電極 |
| 2 | ・ ・ ・ | p | 仕切り領域 | 9 | ・ ・ ・ | n^+ ドレイン領域 |
| 3 | ・ ・ ・ | p | ベース領域 | 10 | ・ ・ ・ | ドレイン電極 |
| 4 | ・ ・ ・ | p^+ | コンタクト領域 | 11 | ・ ・ ・ | p^+ ストップ領域 |
| 5 | ・ ・ ・ | n^+ | ソース領域 | 12 | ・ ・ ・ | 酸化膜 |
| 6 | ・ ・ ・ | ソース | 電極 | 13 | ・ ・ ・ | フィールドプレート |
| 7 | ・ ・ ・ | ゲート | 絶縁膜 | 14 | ・ ・ ・ | p^- 基板 |

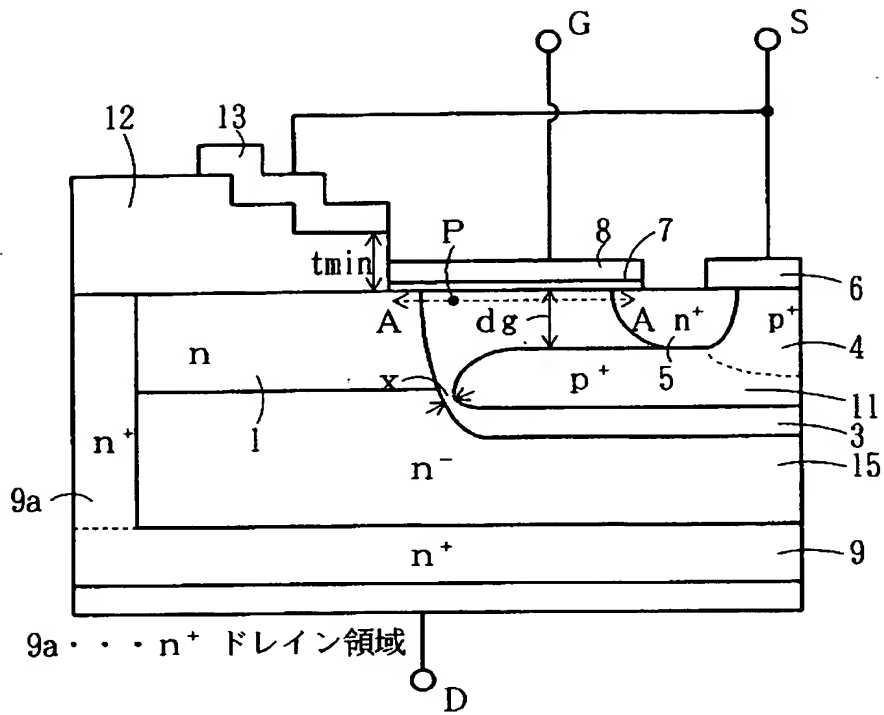
【図 2】



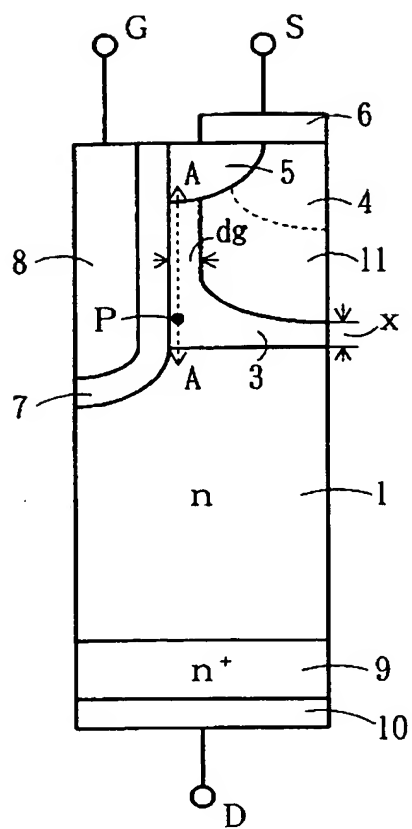
【図 3】



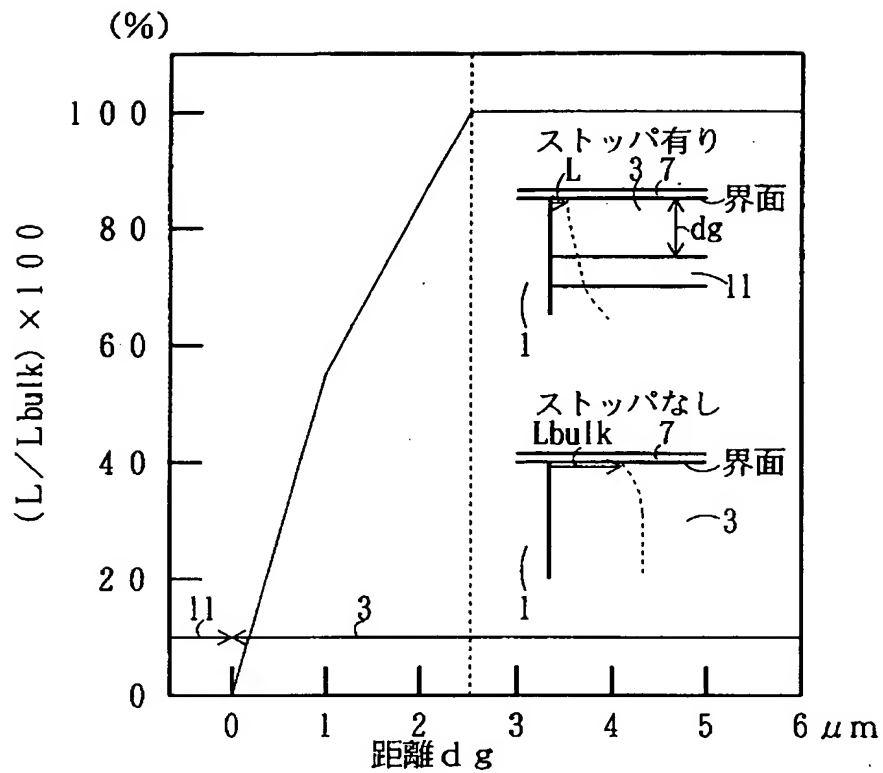
【図 8】



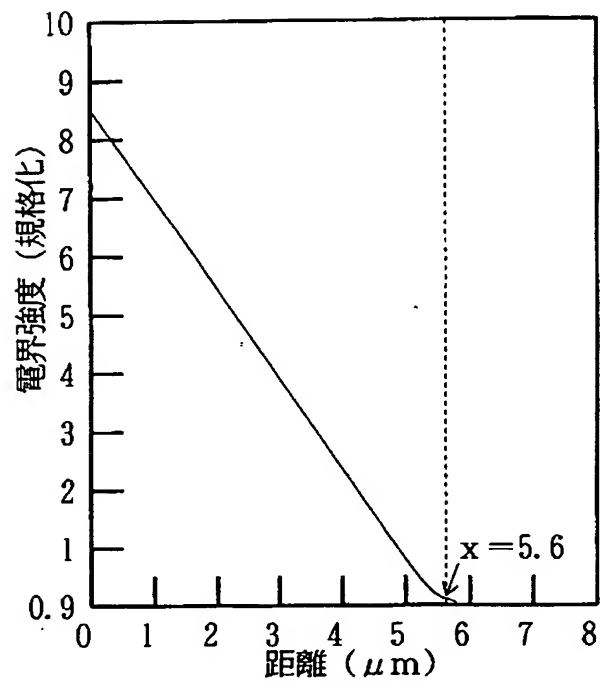
【図 9】



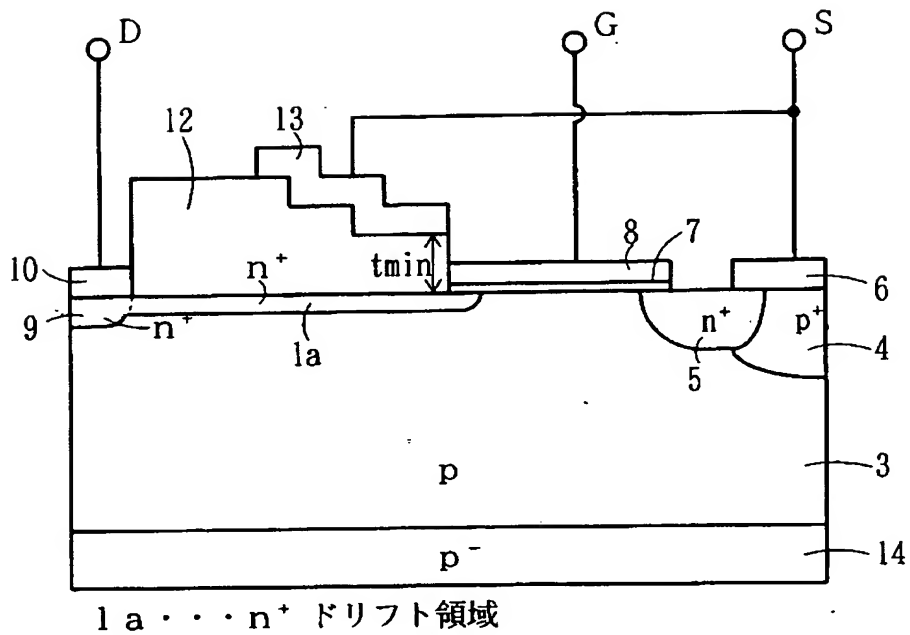
【図 11】



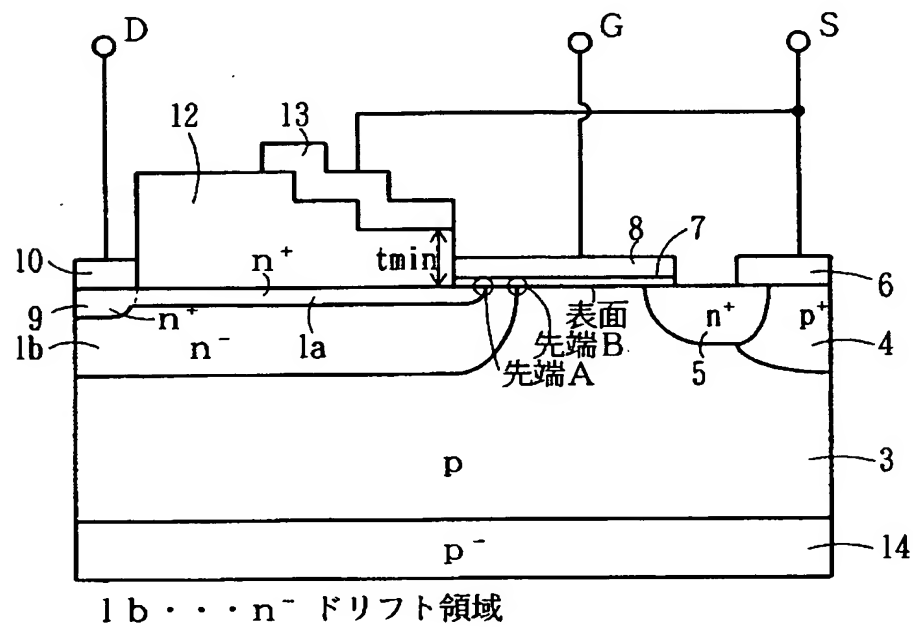
【図 12】



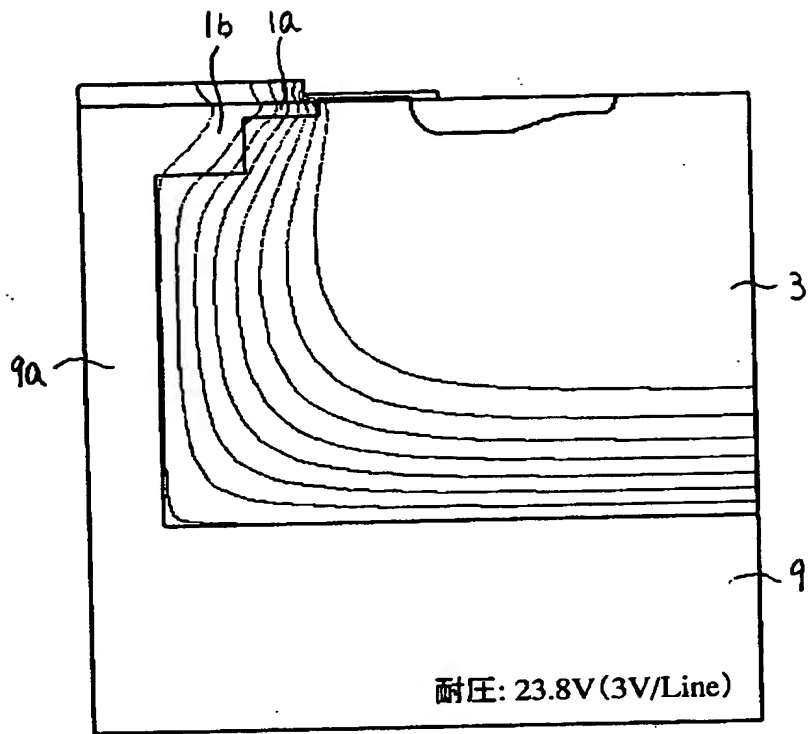
【図 13】



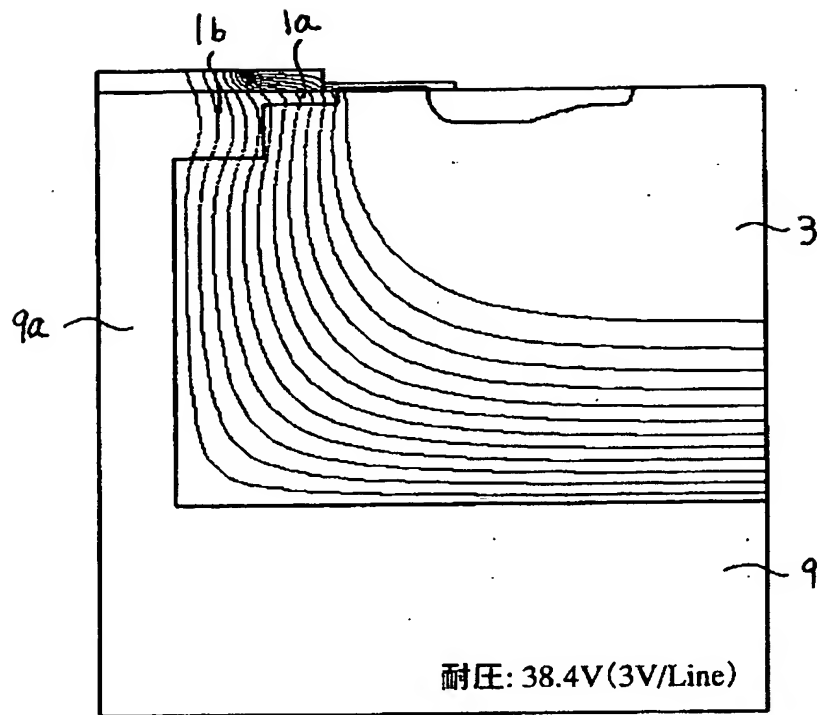
【図 14】



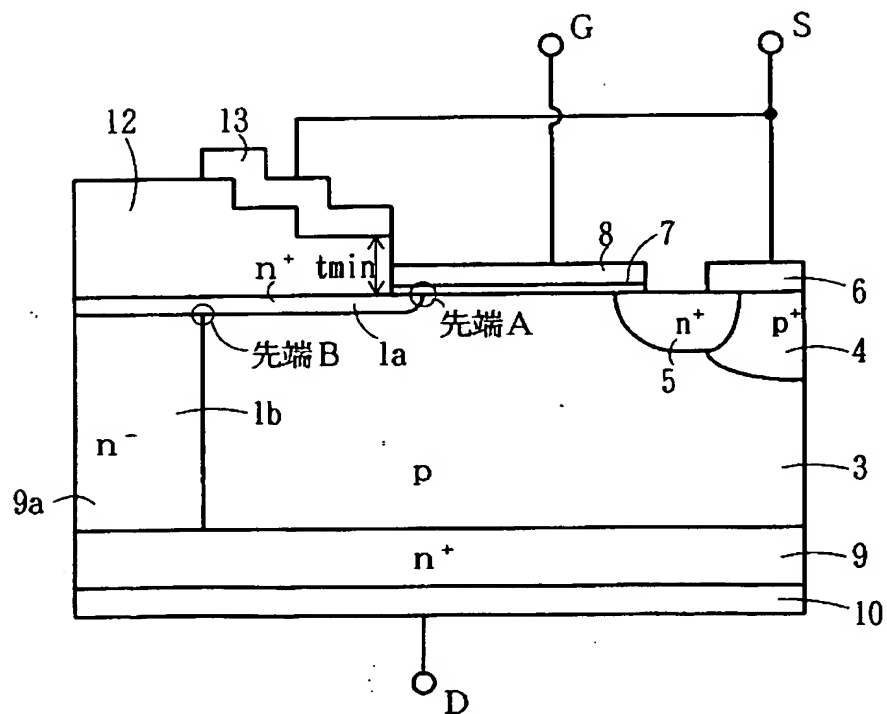
【図 19】



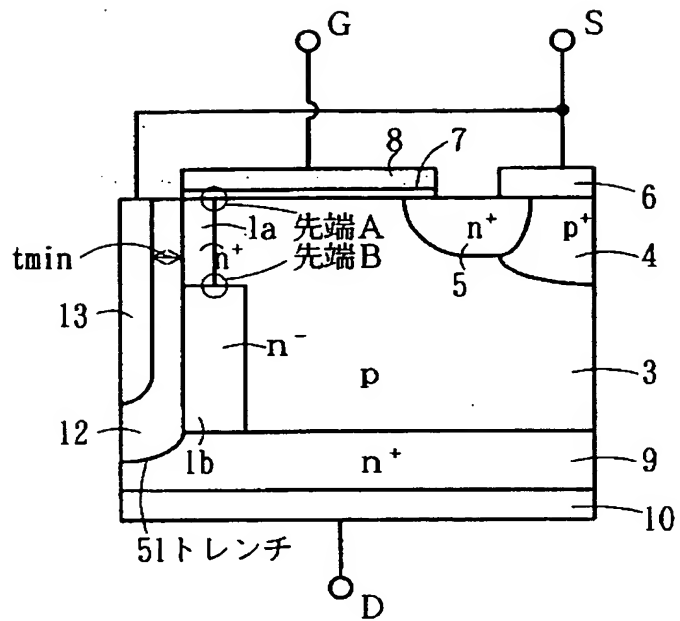
【図 20】



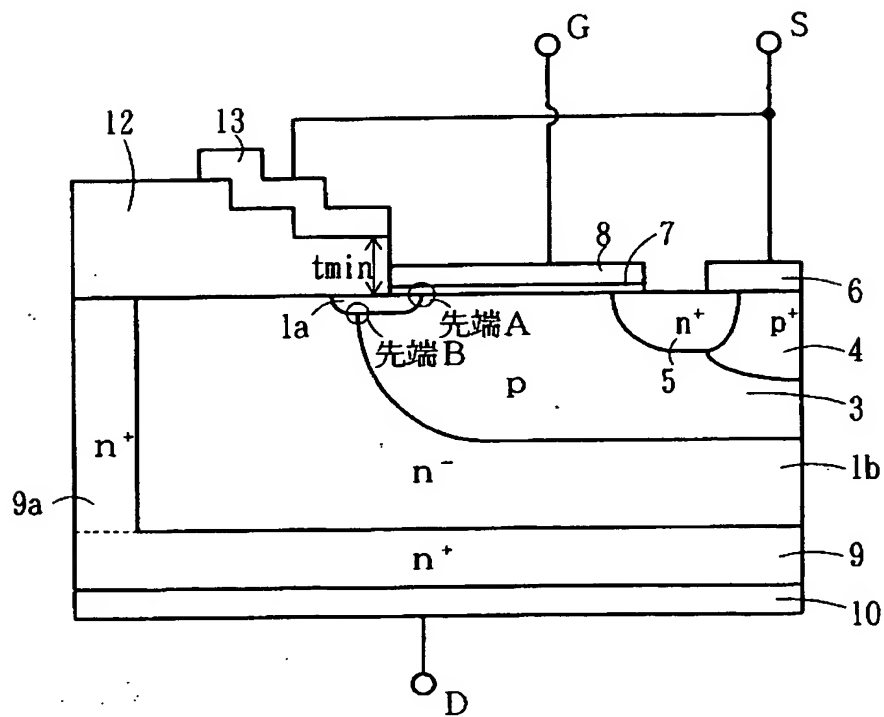
【図 21】



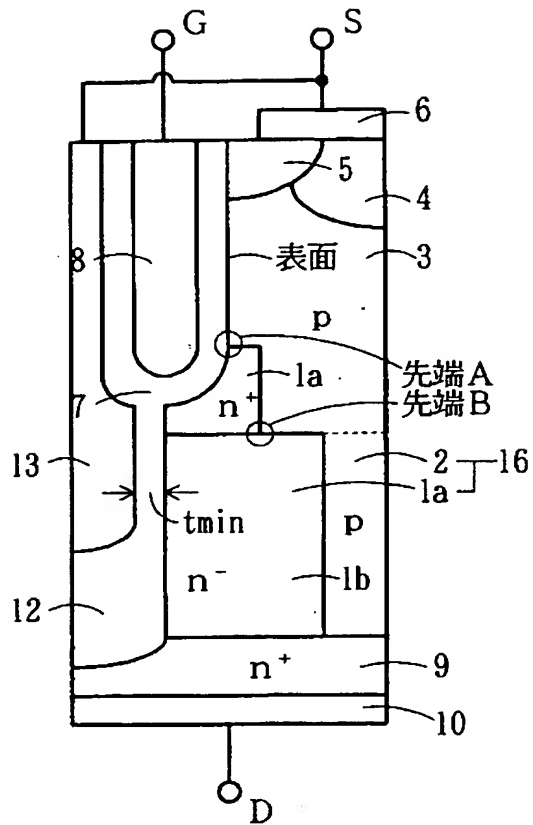
【図 2 2】



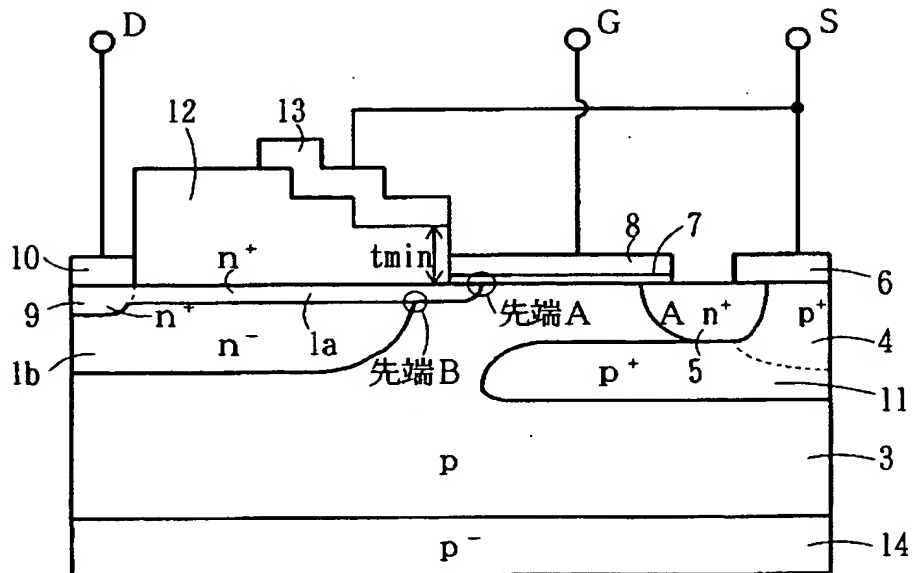
【図 23】



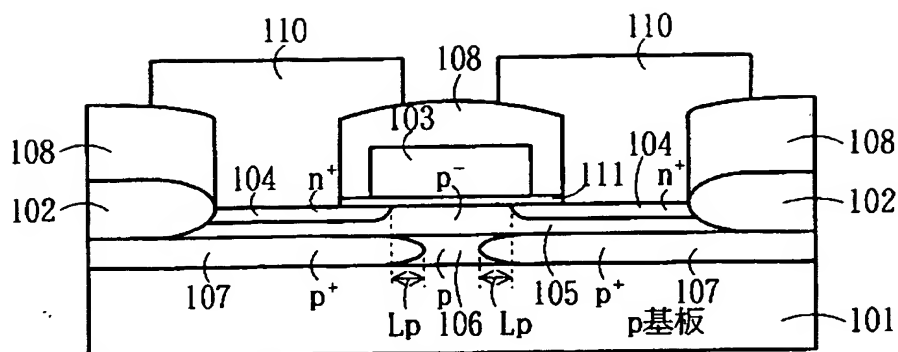
【図 25】



【図 26】



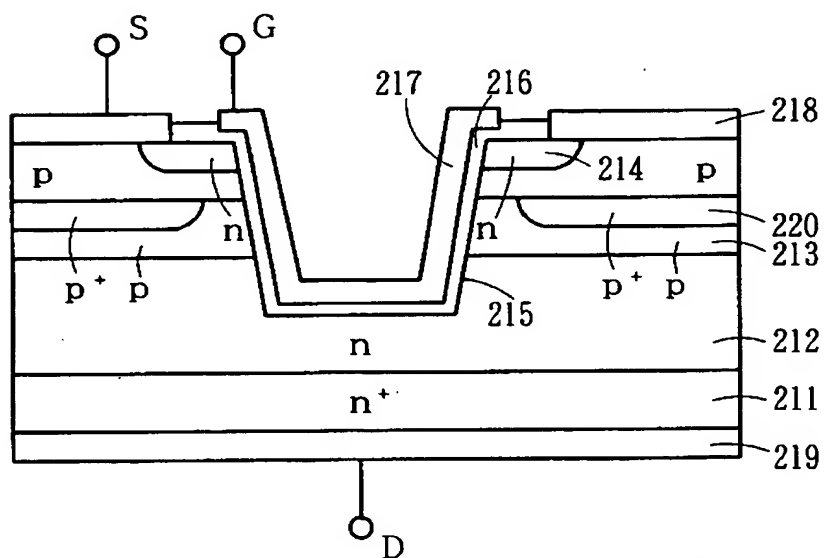
【図 27】



101 . . . シリコン基板
 102 . . . 素子分離絶縁膜
 103 . . . ゲート電極
 104 . . . ソース、ドレイン
 105 . . . 表面低濃度層

106 . . . 高濃度埋込領域
 107 . . . 高濃度埋込領域
 108 . . . 層間絶縁膜
 110 . . . アルミ配線層
 111 . . . ゲート絶縁膜

【図 28】



211 . . . n+ サブストレート
 212 . . . n ドリフト層
 213 . . . p ベース層
 214 . . . n ソース層
 215 . . . トレンチ

216 . . . ゲート酸化膜
 217 . . . ゲート電極
 218 . . . ソース電極
 219 . . . ドレイン電極
 220 . . . p+ 埋め込み領域

【書類名】 要約書

【要約】

【課題】 ゲート電極とドリフト領域の重なり面積を確実に確保して低オン抵抗化を図り、且つ、低帰還容量化を図ることで低スイッチング損失化を図ることができるM I S型半導体装置を提供すること。

【解決手段】 p ベース層 3 内に p⁺ ストップ領域 1 1 を形成し、p ベース領域 3 の不純物濃度のピーク位置 P を n ドリフト領域 1 側に位置させ、n ドリフト領域 1 上の酸化膜 1 2 上にフィールドプレート 1 3 を形成し、ゲート電極 8 側の酸化膜 1 2 の厚さを薄くし、ソース電極 6 とフィールドプレート 1 3 を電氣的に接続する。間隔 d_g を 2 . 5 μ m 以下とし、間隔 x を 5 . 6 μ m 以下とし、酸化膜 1 2 の最小の厚さをゲート絶縁膜 7 の厚さ以上とし、V_b / E_c 以下とすることで、所定の耐圧を確保しながら、低オン抵抗化と低帰還容量化を図ることができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 9 7 6 4 4
受付番号	5 0 3 0 1 1 7 7 5 0 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 7 月 2 2 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000005234
【住所又は居所】	神奈川県川崎市川崎区田辺新田 1 番 1 号
【氏名又は名称】	富士電機株式会社

【代理人】

申請人	
【識別番号】	100088339
【住所又は居所】	東京都品川区大崎一丁目 1 1 番 2 号 富士テクノ サーベイ株式会社内
【氏名又は名称】	篠部 正治

【書類名】 出願人名義変更届（一般承継）
【整理番号】 03P00516
【提出日】 平成15年11月 7日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2003-197644
【承継人】
 【識別番号】 503361248
 【氏名又は名称】 富士電機デバイステクノロジー株式会社
【承継人代理人】
 【識別番号】 100088339
 【弁理士】
 【氏名又は名称】 篠部 正治
 【電話番号】 03-5435-7241
【提出物件の目録】
 【物件名】 権利の承継を証明する書面 1
 【援用の表示】 特願 2 0 0 3 - 3 2 5 9 4 9 の出願人名義変更届（一般承継）に
 添付した会社分割承継証明書
 【物件名】 承継人であることを証明する書面 1
 【援用の表示】 特願 2 0 0 2 - 2 9 8 0 6 8 の出願人名義変更届（一般承継）に
 添付した登記簿謄本
【包括委任状番号】 0315472

特願 2 0 0 3 - 1 9 7 6 4 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 3 4]

1. 変更年月日 1 9 9 0 年 9 月 5 日
[変更理由] 新規登録
住 所 神奈川県川崎市川崎区田辺新田 1 番 1 号
氏 名 富士電機株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 2 日
[変更理由] 名称変更
住 所 神奈川県川崎市川崎区田辺新田 1 番 1 号
氏 名 富士電機ホールディングス株式会社

特願 2 0 0 3 - 1 9 7 6 4 4

出 願 人 履 歴 情 報

識別番号

[5 0 3 3 6 1 2 4 8]

1. 変更年月日

2 0 0 3 年 1 0 月 2 日

[変更理由]

新規登録

住 所

東京都品川区大崎一丁目 1 1 番 2 号

氏 名

富士電機デバイステクノロジー株式会社